

F-023

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172025

(43)公開日 平成8年(1996)7月2日

(51)IPC9

H01G 2/06

4/12 357

4/30 301 F 7924-5E

9174-5E

7924-5E

F I

技術表示箇所

H01G 1/035

4/30

Z

A

審査請求 未請求 請求項の数1 OL (全3頁) 最終頁に続く

(21)出願番号

特願平6-313429

(71)出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(22)出願日

平成6年(1994)12月16日

(72)発明者 内田 彰

埼玉県秩父市横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

(72)発明者 小島 靖

埼玉県秩父市横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

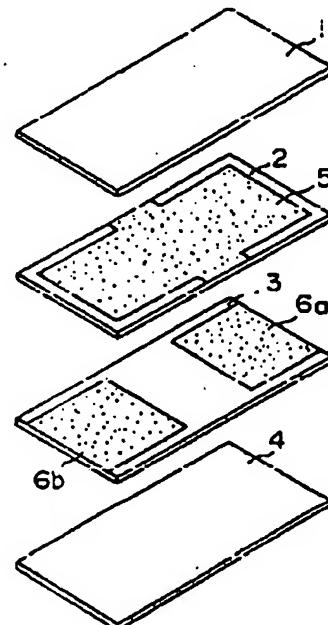
(74)代理人 弁理士 小杉 佳男 (外2名)

(54)【発明の名称】 チップコンデンサ

(57)【要約】

【目的】実装密度を向上させるとともに実装コストの低減化が図られたチップコンデンサを提供する。

【構成】厚膜電極5, 6aのペア、厚膜電極5, 6bのペアにより、それぞれコンデンサ要素が形成され、1つのチップコンデンサに2個のコンデンサを内蔵した。



1

2

【特許請求の範囲】

【請求項1】 誘電体を含有する基板と、該基板の一方の面に、互いに分離された状態に配置された複数の第1の厚膜電極と、該基板のもう一方の面の、前記複数の第1の厚膜電極に対向する位置に配置された、前記複数の第1の厚膜電極それぞれとの間に各コンデンサを形成してなる第2の厚膜電極と、前記複数の第1の厚膜電極を前記基板との間に挟む第1のカバー板と、前記第2の厚膜電極を前記基板との間に挟む第2のカバー板と、前記複数の第1の厚膜電極それぞれに接続され外部に露出した複数の第1の外部電極と、前記第2の厚膜電極に接続され外部に露出した第2の外部電極とを備えたことを特徴とするチップコンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器のノイズ除去等に用いられるチップコンデンサに関するもの。

【0002】

【従来の技術】 従来より、電子機器の高周波ノイズ除去用として、チップコンデンサが広く使用されている。すなわち、例えば電子機器の回路基板上に形成された信号ラインとグラウンドとの間にチップコンデンサが実装されている。そのチップコンデンサは、コンデンサで高周波ノイズをグラウンドにバイパスすることにより高周波ノイズが除去され電子機器の動作が防止される。

【0003】

【発明が解決しようとする課題】 しかし、従来、チップコンデンサにはコンデンサ要素1つだけしか内蔵されておらず、回路基板上に複数の信号ラインとグラウンドとの間にチップコンデンサを内蔵しようとすると広い面積を必要とし、実装面積を狭くするには上げるのは困難であり、またチップコンデンサのアッパの原因となっている。

【0004】 本発明は、上記課題に付けて、面積面を向上させるとともに、コストの低減化が図られたチップコンデンサを実現することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達する本発明のチップコンデンサは、

(1) 前記1の基板とカバー板

(2) その1のカバー板に、互いに分離された状態に配置された第1の厚膜電極

(3) その2のカバー板の上に、上記2の第1の厚膜電極に対向する位置に、上記2の第1の厚膜電極それぞれとに各コンデンサを形成してなる第2の厚膜電極

(4) 上記2の第1の厚膜電極と上記2の第2の厚膜電極に接続され、外部に露出した複数の第1の外部電極

(5) 上記2の第2の厚膜電極を上記2のカバー板との間に挟む第2のカバー板

(6) 上記複数の第1の厚膜電極それぞれに接続され外部に露出した複数の第1の外部電極

(7) 上記第2の厚膜電極に接続され外部に露出した第2の外部電極を備えたことを特徴とする。

【0006】

【作用】 本発明のチップコンデンサは、上記のように、基板を挟んだ一方の面に、互いに分離された状態に複数の第1の厚膜電極を配置し、他方の面の、それら複数の第1の厚膜電極に対向する位置に第2の厚膜電極を配置したため、1つのチップコンデンサに複数のコンデンサ要素が形成される。従って、このチップコンデンサを回路基板に実装すると1個のチップコンデンサで複数のコンデンサ要素が実装されることになり、例えば従来技術の、コンデンサ要素が1つだけ内蔵されたチップコンデンサを多段実装する場合と比較し、回路基板の、チップコンデンサの実装スペースが小さくて済み、チップコンデンサの回路基板への実装密度の向上が容易に図られる。

【0007】 また、回路基板への、実装の手間が軽減され実装コストの低減化が図られる。

【0008】

【実施例】 以下、本発明の実施例について説明する。図1は、チップコンデンサを製造する過程におけるグリーンシートを示した図、図2はチップコンデンサの外観斜視図、図3はその等価回路図である。ここでは図1に示す4枚のグリーンシート1～4が用意される。それらのグリーンシート1～4はポリエチルのベースシートに誘電体スラリーをドクターブレード法により印刷し乾燥することにより作製される。ここで用いた誘電体材料は、 PbO 、 La_2O_3 、 ZrO_2 、 TiO_2 を湿式混合し、1150℃で2時間焼成後湿式ミルで粉碎した平均粒径0.1μmの粉体であり、 $Pb_{0.8}La_{0.1}Zr_{0.1}Ti_{0.1}O_3$ の組成を有するものである。

【0009】 それら4枚のグリーンシート1～4のうち、グリーンシート2、3には、誘電体スラリーを印刷、乾燥した後、さらに、それぞれ図示の形状となるように、各部にベーストをドクターブレード法により印刷、乾燥し、これにより、厚膜電極5（本発明にいう第2の厚膜電極）および厚膜電極6a、6b（本発明にいう第2の厚膜電極）が形成される。これらの厚膜電極5、6a、6bのうち、グリーンシート2を挟む厚膜電極5、6aのペア、および厚膜電極5、6bのペアにより、それぞれ、図3に示す等価回路中のコンデンサ要素10、11が形成される。

【0010】 また、グリーンシート1およびグリーンシート3、4により厚膜電極5、6a、6bがカバーされ、重ねられる。以上のようにして形成された4枚のグリーンシート1～4が互いに積層され、熱圧着により一体化された後、焼成され、焼結体が得られる。その焼結体をパレルで切ってその焼結体の側面から厚膜電極5、

6a, 6bを露出させ、それら厚膜電極5, 6a, 6bが露出した部分に導電性ペーストを塗布し、これにより、図2に示すように、厚膜電極6a, 6bとそれぞれ接続された外部電極7, 8、および厚膜電極5と接続された外部電極9a, 9bを形成する。このように、コンデンサ素子が2素子内蔵された、図2に示す形状のチップコンデンサが完成する。

【0011】この実施例では、1つのチップコンデンサにコンデンサ素子が2素子内蔵されているため、コンデンサ素子が1素子のみ内蔵された従来のチップコンデンサを回路基板に実装する場合と比べ、チップコンデンサの実装スペースが小さくて済り、また実装コストも削減される。

【0012】

【発明の效果】以上が明したとおり、本発明によれば、

コンデンサの高密度実装に適したチップコンデンサが構成され、したがってチップコンデンサの、回路基板への実装密度の向上が図られるとともに実装コストの低減化も図られる。

【図面の簡単な説明】

【図1】チップコンデンサを製造する過程におけるグリーンシートを示した図である。

【図2】チップコンデンサの外観側面図である。

【図3】チップコンデンサの等価回路図である。

【符号の説明】

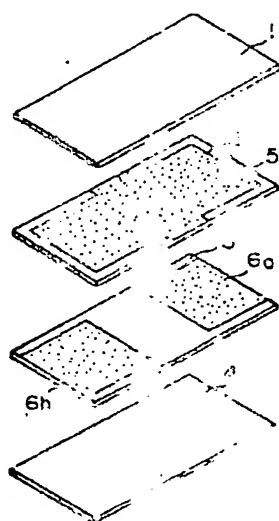
1, 2, 3, 4 グリーンシート

5, 6a, 6b 厚膜電極

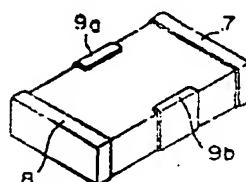
7, 8, 9a, 9b 外部電極

10, 11 コンデンサ素子

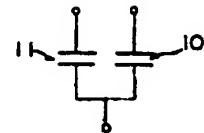
【図1】



【図2】



【図3】



フロントページの
記入欄

(51) Int.Cl.

H01C 4/20

出願番号

平成6年7月21日

F.I.

D 7321-5E

技術表示欄